

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-270998

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H03L 7/06

(21)Application number : 09-073383

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 26.03.1997

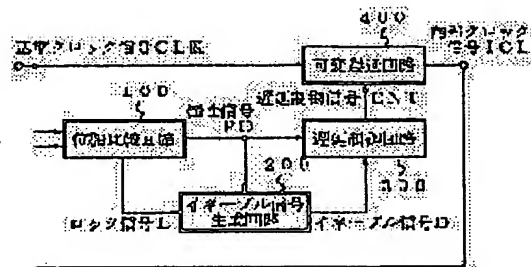
(72)Inventor : YONEDA SATORU

## (54) DIGITAL PLL CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To make improvement of noise immunity with respect to power supply voltage noise on the inside of a semiconductor integrated circuit or jitter of an external clock signal compatible with reduction in a phase synchronization lock time.

SOLUTION: A phase of a reference clock signal CLK and a phase of an internal clock signal ICK are compared synchronously with a change in the reference clock signal CLK, a value of a delay section CNT is controlled to be changed corresponding to the polarity of a phase difference to control the phase of the internal clock signal ICK with respect to the reference clock signal CLK. In this case, number of times when the polarity of the phase difference is consecutively coincident is counted synchronously with a change in the reference clock signal CLK and till the count reaches a preset number of times, while the phase difference is in a lock range, the revision control of the delay control signal CNT is locked.



## LEGAL STATUS

[Date of request for examination]

26.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2954070

[Date of registration]

16.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270998

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 L 7/06

H 0 3 L 7/06

B

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-73383

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 米田 哲

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

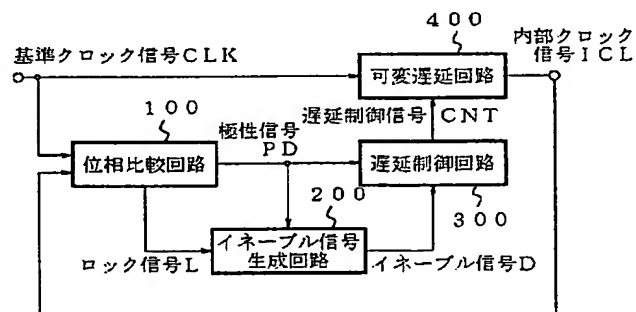
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 デジタルPLL回路

(57) 【要約】

【課題】 半導体集積回路内部の電源電圧ノイズ、あるいは、外部クロック信号のジッタに対する耐ノイズ性向上と位相同期の引き込み時間の短縮とを両立することにある。

【解決手段】 基準クロック信号CLKの変化に同期して基準クロック信号CLKおよび内部クロック信号ICKの位相を比較し、その位相差の極性に対応して遅延制御信号CNTの値を変更制御し、基準クロック信号CLKに対して内部クロック信号ICKの位相を制御する。このとき、位相差の極性が連続して一致する回数を基準クロック信号CLKの変化に同期して計数し、この計数が予め設定された設定回数に達するまで、位相差がロック範囲内にある間、遅延制御信号CNTの値の変更制御をロックしている。



## 【特許請求の範囲】

【請求項 1】 基準クロック信号を遅延して内部クロック信号として出力しその遅延時間が遅延制御信号の値により可変制御される可変遅延回路を備え、前記基準クロック信号の変化に同期して前記基準クロック信号および前記内部クロック信号の位相を比較しその位相差の極性に対応して前記遅延制御信号の値を変更制御し前記基準クロック信号に対して前記内部クロック信号の位相を制御するデジタル PLL 回路において、前記位相差の極性が連続して一致する回数を前記基準クロック信号の変化に同期して計数し、この計数が予め設定された設定回数に達するまで、前記位相差がロック範囲内にある間、前記遅延制御信号の値の変更制御をロックすることを特徴とするデジタル PLL 回路。

【請求項 2】 基準クロック信号を遅延して内部クロック信号として出力しその遅延時間が遅延制御信号の値により可変制御される可変遅延回路と、前記基準クロック信号の変化に同期して前記基準クロック信号および前記内部クロック信号の位相を比較しその位相差の極性およびロック範囲内を示す極性信号およびロック信号を比較結果として出力する位相比較回路と、動作が活性化されるイネーブル信号および前記極性信号に対応して前記遅延制御信号の値を変更制御し前記可変遅延回路に出力する遅延制御回路と、前記極性信号が連続して一致出力される回数を前記基準クロック信号の変化に同期して計数しこの計数が前記ロック信号に対応して予め設定された設定回数に達するまで前記ロック信号に対応して不活性信号を生成し前記イネーブル信号として出力するイネーブル信号生成回路とを備えるデジタル PLL 回路。

【請求項 3】 前記位相比較回路が前記位相差に対して個々にロック範囲を設定した複数の前記ロック信号を出力し、前記位相差が大きいほど前記設定回数が小さく設定される、請求項 2 記載のデジタル PLL 回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、デジタル PLL 回路に関し、特に、半導体集積回路間のクロック信号同期に用いられるデジタル PLL 回路に関する。

## 【0002】

【従来の技術】 従来から、2つのクロック信号の位相を合わせるために、PLL 回路が用いられており、特に、半導体集積回路の外部クロック信号に対する内部クロック信号の遅延によるスキュー調整のために、外部クロック信号の入力端子の近傍にデジタル PLL 回路を配置し、遅延が生じる内部クロック信号を帰還させて外部クロック信号との位相の同期をとる技術が知られている。半導体集積回路の内部クロック信号の位相が、基準クロック信号とする外部クロック信号より半導体集積回路の内部クロック信号の位相が遅れているときは、デジタル PLL 回路において、内部クロック信号を進ませて同期を

とり、逆に進んでいるときは遅らせて同期をとるように制御する。

【0003】 たとえば、図 5 は、この従来のデジタル PLL 回路の例 1 を示すブロック図である。このデジタル PLL 回路は、可変遅延回路 53、位相比較回路 51、遅延制御回路 52 を備える。

【0004】 可変遅延回路 53 は、基準クロック信号を遅延して内部クロック信号として出力しその遅延時間が遅延制御信号の値により可変制御される。位相比較回路 51 は、基準クロック信号の変化に同期して基準クロック信号および内部クロック信号の位相を比較しその位相差の極性を比較結果として出力する。遅延制御回路 52 は、動作が活性化されるイネーブル信号および比較結果に対応して遅延制御信号の値を変更制御し可変遅延回路 53 に出力する。

【0005】 このデジタル PLL 回路は、基準クロック信号の変化に同期して基準クロック信号および内部クロック信号の位相を比較し、その位相差の極性に対応して遅延制御信号の値を変更制御し、基準クロック信号に対して内部クロック信号の位相を制御している。

【0006】 ところが、半導体集積回路内部の電源の揺れ、あるいは、内部クロック信号の配線と隣接する配線との間に生ずる寄生容量などにより、微少ではあるが、内部クロック信号が常に変動するため、常に、デジタル PLL 回路が内部クロック信号の位相を進ませたり遅らせたりする制御を行っている。また、基準クロック信号となる外部クロック信号にもジッタが存在し、その基準クロック信号で判断した位相比較結果に応じて進ませたり遅らせる制御を行っている。

【0007】 しかし、このデジタル PLL 回路では、内部回路の動作上問題無い程度の微少な位相差の場合も、PLL 回路が同期をとる動作を行うため、必要以上に電力を消費する。また、例えば、PLL 回路が内部クロック信号を進ませる制御を行うと同時に、内部クロック信号を遅らせていた要因が解消された場合などは、かえって、同期ズレが大きくなっていくといった不具合を抱えている。そこで、同期ズレが連続して進んでいた場合のみ、あるいは、連続して遅れていた場合のみ同期をとる制御を行う技術が知られている。

【0008】 例えば、同様な考え方のデジタル PLL 回路が、図 5 に示す特開平 1-93280 号公報に記載された同期回路のブロック図の中に記載されている。図 5 を参照して説明する。この同期回路において、シフトレジスタ回路 503、ラッチ回路 504、タイミング発生回路 507 は、同期信号検出回路を構成し、BS チューナから出力されるビットストリーム信号などから、本来のスーパーフレーム同期信号、モード切替同期信号を検出する。また、9 分周回路 510、同期回路 508 は、9 分周回路 510 を可変遅延回路としたデジタル PLL 回路であり、本来のスーパーフレーム同期信号 b と 9 分

周回路510の出力cの位相を比較し、予め設定した回数だけ連続して不一致が発生すると位相比較回路508からスーパーフレーム同期パルス信号を9分周回路10に出力し、9分周回路510の出力cの位相を一致させ、スーパーフレーム同期信号として外部出力している。同様に、10分周回路512、同期回路509は、モード切替同期信号を外部出力している。

【0009】このデジタルPLL回路の技術は、衛星放送等の通信に用いられビットストリーム信号が減衰し、ビットストリーム信号のフレーム制御部に誤りが発生した場合にも、予め設定した回数までの誤りは、フレーム同期信号からスーパーフレーム同期信号とモード切替同期信号を発生させることで安定した信号供給をするものである。

【0010】

【発明が解決しようとする課題】ところが、図5の同期回路で説明したデジタルPLL回路も、問題点が残されている。すなわち、外部クロック信号と帰還させた内部クロック信号との位相差が大きいき、一刻も速く同期をとる必要があるにも拘わらず、位相差を検出してから同期をとるまでの引き込み時間が長くなり、場合によっては、内部動作に支障をきたすこともあるという重大な欠点を持っている。

【0011】その理由は、微少な位相差の場合も、多大な位相差の場合も、同極性の位相差の同期ズレが、予め設定した回数だけ連続して不一致が発生したときに初めて、たとえば、3回連続したときに初めて、位相の同期をとることになる。このため、半導体集積回路の内部回路は、2クロック信号期間も、多大な同期ズレが生じたまま動作させざるを得ないからである。

【0012】従って、本発明の目的は、半導体集積回路内部の電源電圧ノイズ、あるいは、外部クロック信号のジッタに対する耐ノイズ性向上と位相同期の引き込み時間の短縮とを両立することにある。

【0013】

【課題を解決するための手段】そのため、本発明は、基準クロック信号を遅延して内部クロック信号として出力しその遅延時間が遅延制御信号の値により可変制御される可変遅延回路を備え、前記基準クロック信号の変化に同期して前記基準クロック信号および前記内部クロック信号の位相を比較しその位相差の極性に対応して前記遅延制御信号の値を変更制御し前記基準クロック信号に対して前記内部クロック信号の位相を制御するデジタルPLL回路において、前記位相差の極性が連続して一致する回数を前記基準クロック信号の変化に同期して計数し、この計数が予め設定された設定回数に達するまで、前記位相差がロック範囲内にある間、前記遅延制御信号の値の変更制御をロックしている。

【0014】または、本発明のデジタルPLL回路は、基準クロック信号を遅延して内部クロック信号として出

力しその遅延時間が遅延制御信号の値により可変制御される可変遅延回路と、前記基準クロック信号の変化に同期して前記基準クロック信号および前記内部クロック信号の位相を比較しその位相差の極性およびロック範囲内を示す極性信号およびロック信号を出力する位相比較回路と、動作が活性化されるイネーブル信号および前記極性信号に対応して前記遅延制御信号の値を変更制御し前記可変遅延回路に出力する遅延制御回路と、前記極性信号が連続して一致出力される回数を前記基準クロック信号の変化に同期して計数しこの計数が前記ロック信号に対応して予め設定された設定回数に達するまで前記ロック信号に対応して不活性信号を生成し前記イネーブル信号として出力するイネーブル信号生成回路とを備えている。

【0015】また、前記位相比較回路が前記位相差に対して個々にロック範囲を設定した複数の前記ロック信号を出力し、前記位相差が大きいほど前記設定回数が小さく設定されている。

【0016】

【発明の実施の形態】次に、本発明について図面を参照して説明する。図1は、本発明のデジタルPLL回路の実施形態を示すブロック図である。また、図2は、図1の詳細構成例を示す部分ブロック図である。図1を参照すると、この実施形態のデジタルPLL回路は、可変遅延回路400、位相比較回路100、遅延制御回路300、イネーブル信号生成回路200とを備えている。

【0017】可変遅延回路400は、図5の従来のデジタルPLL回路と同じく、基準クロック信号CLKを遅延して内部クロック信号ICKとして出力しその遅延時間が遅延制御信号CNTの値により可変制御される。

【0018】位相比較回路100は、図5の従来のデジタルPLL回路と同じく、基準クロック信号CLKの変化に同期して、基準クロック信号CLKおよび内部クロック信号ICKの位相を比較し、その位相差の極性を示す極性信号PDを比較結果として出力する。同時に、位相差がロック範囲内にあることを示すロック信号Lをも比較結果として出力する。この位相比較回路100は、図2に示すように、フリップフロップ回路101~105、遅延ゲート106~109、NAND回路121~122から成る。遅延ゲート106~109は、基準クロック信号CLKの遅延回路であり、それぞれに遅延設定された各遅延信号を出力する。フリップフロップ回路101~105は、遅延ゲート106~109の各遅延信号出力に同期して内部クロック信号ICKをそれぞれラッチし、内部クロック信号ICKとの位相をそれぞれ比較検出する。

【0019】このとき、フリップフロップ回路103の位相の比較検出信号PDが、基準クロック信号CLKに対する内部クロック信号ICKの位相の基準とされ、基準からの位相差の極性を示す極性信号PDとして出力さ

れる。また、NAND回路121~122が、所定のフリップフロップ回路の比較検出信号を入力し、基準からの位相差がロック範囲内にあることを示すそれぞれロック信号L2、L1を出力する。

【0020】遅延制御回路300は、動作が活性化されるイネーブル信号Dおよび極性信号PDに対応して遅延制御信号CNTの値を変更制御し、遅延制御信号CNTを可変遅延回路400に出力する。この遅延制御回路300は、図2に示すように、アップダウンカウンタ回路302、内部パルス信号発生回路303、AND回路301から成る。アップダウンカウンタ回路302は、極性信号PDに対応した計数値を増数または減数し遅延制御信号CNTを出力する。内部パルス信号発生回路303はパルス信号を発生し、AND回路301を介して、アップダウンカウンタ回路302に供給する。

【0021】イネーブル信号生成回路200は、極性信号PDが連続して一致出力される回数を基準クロック信号CLKの変化に同期して計数し、この計数がロック信号Lに対応して予め設定された設定回数に達するまでロック信号Lに対応して不活性信号を生成し、イネーブル信号Dとして出力する。このイネーブル信号生成回路200は、図2に示すように、シフトレジスタ201、AND回路202~203および208~209、NOR回路204~205、OR回路206~207および210から成る。シフトレジスタ201は、基準クロック信号CLKに対応して極性信号PDをシフトし並列出力し、極性信号PDが連続して一致出力される回数を基準クロック信号CLKの変化に同期して計数する。AND回路202~203またはNOR回路204~205は所定のシフトレジスタ201出力を入力し、1または0の極性信号PDが連続して一致出力される回数が予め設定された設定回数に達したことをそれぞれ検出する。また、OR回路210は、イネーブル信号Dを出力する。

【0022】図3は、本実施形態のデジタルPLL回路の動作例を示す波形図である。図2、3を参照し、本実施形態のデジタルPLL回路の動作について説明する。図2の詳細構成例のデジタルPLL回路は、図3に示すように、基準クロック信号CLKと内部クロック信号ICKの位相差の範囲を3段階に分割し、位相差が大きく範囲1、2内にない場合には位相比較毎に位相制御を行い、位相差が範囲1内にある場合は、位相比較の結果が3回連続して一致した場合に位相制御を行い、位相差が範囲2内にある場合は、位相比較の結果が6回連続して一致した場合に位相制御を行う。

【0023】まず、位相比較回路100において、基準クロック信号CLKの変化に同期して、フリップフロップ回路101~105により、基準クロック信号CLKの各遅延信号と内部クロック信号ICKとの位相の比較検出が行われ、位相差の極性信号PDおよびロック信号L2、L1が出力される。

【0024】このとき、この位相差が大きく図3の範囲1、2内にない場合には、NAND回路121、122のロック信号L2、L1がハイ・レベルになり、OR回路210のイネーブル信号Dがハイ・レベルになる。このため、遅延制御回路300において、内部パルス信号発生回路303のパルス信号により、遅延制御用のアップダウンカウンタ回路402が動作し、遅延制御信号CNTの値が変更制御され、可変遅延回路400において、内部クロック信号ICKの遅延制御が行われる。すなわち、基準クロック信号CLKに対する内部クロック信号ICKの位相制御が行われる。

【0025】また、位相差が図3の範囲1内にある場合には、NAND回路121、122のロック信号L2、L1がハイ・レベル、ロウ・レベルになり、OR回路206、207の出力がハイ・レベルとなり、フリップフロップ回路103による位相差の極性信号PDを記憶するシフトレジスタ201の下位3ビットが同じ値のときに、AND回路202またはNOR回路204の出力がハイ・レベルになり、AND回路208またはAND回路209の出力がハイ・レベルとなり、OR回路210のイネーブル信号Dがハイ・レベルとなる。このため、アップダウンカウンタ回路402が動作し、内部クロック信号ICKの位相制御が行われる。しかし、位相差の極性信号PDが3回連続して一致していない場合には、OR回路210のイネーブル信号Dがロウ・レベルとなり、アップダウンカウンタ回路402は動作せず、基準クロック信号CLKに対する内部クロック信号ICKの位相制御は行われない。

【0026】さらに、位相差が図3の範囲2内にある場合には、NAND回路121、122のロック信号L2、L1がロウ・レベルになり、フリップフロップ回路103による位相差の極性信号PDを記憶するシフトレジスタ201の6ビットが同じ値のときに、AND回路202、203またはNOR回路204、205の出力がハイ・レベルになり、AND回路208またはAND回路209の出力がハイ・レベルとなり、OR回路210のイネーブル信号Dがハイ・レベルとなる。このため、アップダウンカウンタ回路402が動作し、内部クロック信号ICKの位相制御が行われる。しかし、位相差の極性信号PDが6回連続して一致していない場合には、OR回路210のイネーブル信号Dがロウ・レベルとなり、アップダウンカウンタ回路402は動作せず、基準クロック信号CLKに対する内部クロック信号ICKの位相制御は行われない。

【0027】以上のように、本実施形態のデジタルPLL回路は、基準クロック信号CLKの変化に同期して基準クロック信号CLKおよび内部クロック信号ICKの位相を比較し、その位相差の極性に対応して遅延制御信号CNTの値を変更制御し、基準クロック信号CLKに対して内部クロック信号ICKの位相を制御する。この

とき、位相差の極性が連続して一致する回数を基準クロック信号CLKの変化に同期して計数し、この計数が予め設定された設定回数に達するまで、位相差がロック範囲内にある間、遅延制御信号CNTの値の変更制御をロックしている。

【0028】

【発明の効果】以上説明したように、本発明によるデジタルPLL回路は、半導体集積回路内部の電源電圧ノイズ、あるいは、外部クロック信号のジッタに対する耐ノイズ性向上と位相同期の引き込み時間の短縮とを両立できる効果がある。

【0029】その理由は、基準クロック信号である外部クロック信号および内部クロック信号の位相を比較し、基準からの位相差に対して複数のロック範囲を設定し、比較結果による位相制御ループのロックを各ロック範囲に対応して解除しているためである。

【図面の簡単な説明】

【図1】本発明のデジタルPLL回路の実施形態を示すブロック図である。

【図2】図1のデジタルPLL回路の詳細構成例を示す部分ブロック図である。

【図3】図2のデジタルPLL回路の動作例を示す波形図である。

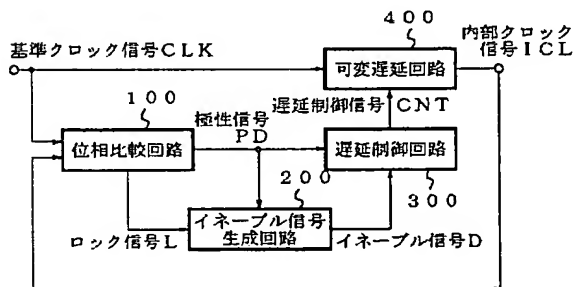
【図4】従来のデジタルPLL回路の回路例1を示すブロック図である。

【図5】従来のデジタルPLL回路の回路例2を含む同期回路を示すブロック図である。

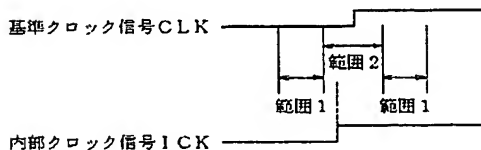
【符号の説明】

- 100 位相比較回路
- 101～105 フリップフロップ回路
- 106～109 遅延ゲート
- 200 イネーブル信号生成回路
- 121, 122 NAND回路
- 201, 503 シフトレジスタ回路
- 202, 203, 208, 209 AND回路
- 204, 205 NOR回路
- 206, 207, 210 OR回路
- 300 遅延制御回路部
- 302 アップダウンカウンタ回路
- 303 内部パルス信号発生回路
- 400 可変遅延回路
- 504 ラッチ回路
- 507 タイミング発生回路
- 508, 509 位相同期回路
- 510 9分周回路
- 512 10分周回路

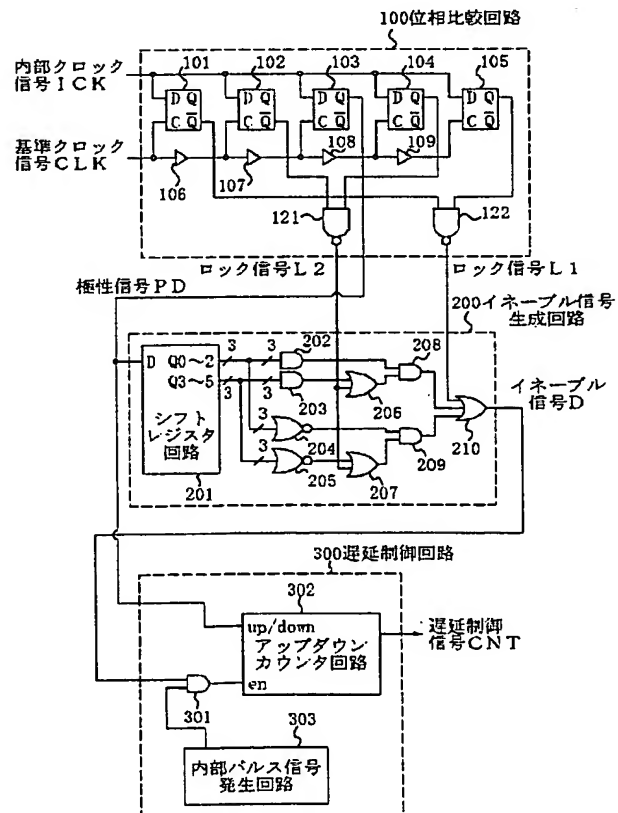
【図1】



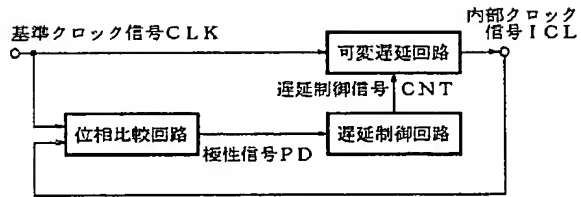
【図3】



【図2】



【図 4】



【図 5】

